

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-236692
(43)Date of publication of application : 13. 09. 1996

(51) Int. Cl. H01L 25/04
H01L 25/18
H05K 3/28

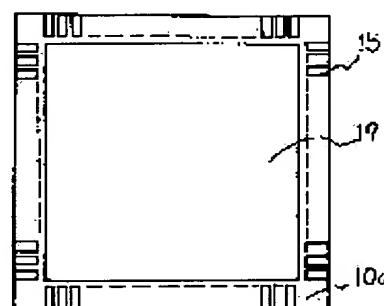
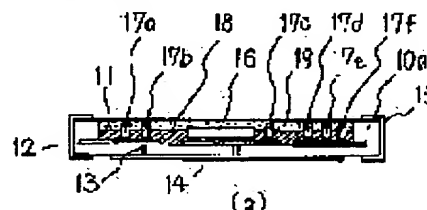
(21)Application number : 07-040175 (71)Applicant : NEC CORP
(22)Date of filing : 28. 02. 1995 (72)Inventor : EGAWA HIDENORI

(54) HYBRID INTEGRATED CIRCUIT DEVICE AND MANUFACTURE THEREOF

(57) Abstract:

PURPOSE: To realize quite effective noise shield effect by feeding a low or high power supply potential to a conductive sealing resin directly touching at least one of the rear side of a semiconductor chip or the other electrode side of a passive chip device.

CONSTITUTION: Wiring patterns 12, 14 are connected, respectively, with end face electrodes 15 arranged on the circumferential side face of a resin sealed recess 11. In this regard, a multilayer resin sealing structure comprising a nonconductive sealing resin 18 filling the bottom face side and a conductive sealing resin 19 filling the upper part thereof is employed. The conductive sealing resin 19 is applied with any one of low or high power supply potentials and constructed to touch at least one of the rear side of a semiconductor chip 16 or the other electrode side of passive chip device 17a-17f directly. With such structure, quite effective noise shield effect is provided by the conductive sealing resin 19.



LEGAL STATUS

[Date of request for examination] 28. 02. 1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2630294

[Date of registration] 18. 04. 1997



[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2000 Japanese Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-236692

(43)公開日 平成8年(1996)9月13日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 25/04			H 0 1 L 25/04	Z
25/18			H 0 5 K 3/28	G
H 0 5 K 3/28				

審査請求 有 請求項の数 6 O L (全 8 頁)

(21)出願番号 特願平7-40175

(22)出願日 平成7年(1995)2月28日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 江川 秀範

東京都港区芝五丁目7番1号 日本電気株式会社内

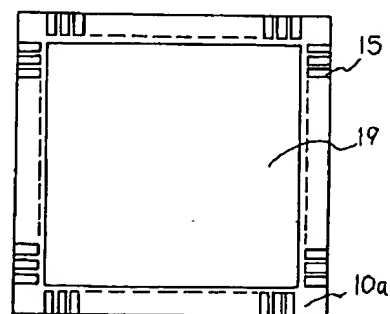
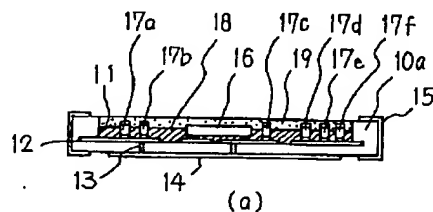
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 混成集積回路装置およびその製造方法

(57)【要約】

【目的】 対ノイズ性に優れた混成集積回路装置を提供する。

【構成】 配線基板に凹部11を設け、この凹部に半導体チップ16もしくは受動チップ部品17a~17fまたはその両方を搭載して樹脂封止した構造を有し、凹部底面に対して半導体チップ16はフェイスダウンで搭載し、受動チップ部品17a~17fは直立させて搭載することによって半導体チップ16の裏面および受動チップ部品の一方側電極を凹部上方の向きにそろえ、半導体チップの裏面および受動チップ部品17a~17fの一方側電極が露出する高さまで非導電性封止樹脂18を充填し、その上に導電性封止樹脂19を充填して露出した裏面および一方側電極を覆うことによって、搭載部品の裏面もしくは一方側電極を導電性封止樹脂19に直接接触させて電気的接続をする。この導電性封止樹脂19を電源電位または接地電位に接続してシールド構造を形成する。



(b)

【特許請求の範囲】

【請求項1】 複数の内部導体層を有する多層の配線基板の一方面に所定の大きさおよび深さで凹部が開口され、この凹部の底面および他方面の前記内部導体層に形成された配線パターンに半導体チップまたは受動チップ部品のいずれかが少なくとも1つ接続されて搭載され、前記半導体チップ搭載時はその各電極が前記底面の配線パターンにワイヤボンディング接続され、前記受動チップ部品搭載時はその各電極が前記底面の配線パターンに導電性接着剤を用いて接続され、これら配線パターンはスルーホールを介して前記他方面の配線パターンにそれぞれ接続され、かつこれら配線パターンが前記凹部の周縁部側面に配設された端面電極にそれぞれ接続されるとともに、前記凹部内が樹脂封止されてなる混成集積回路装置において；前記樹脂封止は、前記底面側に充填される非導電性封止樹脂とこの非導電性封止樹脂上に充填される導電性封止樹脂とを含む多層構造からなり、前記導電性封止樹脂は、低位側電源電位または高位側電源電位のいずれかの電位が供給されかつ前記半導体チップの裏面側および前記受動チップ部品の他方電極側の少くとも一方側に直接接触させた構造を有することを特徴とする混成集積回路装置。

【請求項2】 前記半導体チップおよび前記受動チップ部品をそれぞれ少なくとも1つずつ搭載した請求項1記載の混成集積回路装置。

【請求項3】 前記凹部に少なくとも1つの半導体チップが搭載され、これら半導体チップはそれぞれフェイスダウンで各電極が前記底面の対応する配線パターンにバンプ接続され、前記非導電性封止樹脂は前記半導体チップの裏面が露出する高さまで充填され、これら露出した裏面を含む前記非導電性封止樹脂層上に前記導電性封止樹脂が積層されて封止される請求項1または2記載の混成集積回路装置。

【請求項4】 前記凹部に少なくとも1つの前記受動チップ部品が搭載され、これら受動チップ部品の少なくとも一部は、前記一方電極側のみ前記底面の配線パターンに接続されるように直立して搭載され、前記非導電性封止樹脂は前記受動チップ部品の前記他方電極側がそれぞれ露出する高さまで充填され、これら露出した前記他方電極側を含む前記非導電性封止樹脂層上に前記導電性封止樹脂が積層されて封止される請求項1または2記載の混成集積回路装置。

【請求項5】 前記開口により残された基板周縁部内にある前記内部導体層の全面に形成されたベタパターンが前記基板側面および底面周縁部を囲んで配設され導電体層と一体となり、かつ前記凹部内側壁面で前記導電性封止樹脂端面と電気的に接続させて形成したシールド層を有する請求項1、3または4記載の混成集積回路装置。

【請求項6】 複数の内部導体層を有する多層の配線基板の一方面に所定の大きさおよび深さで凹部を開口し、

この凹部の底面および他方面の前記内部導体層に形成された配線パターンに半導体チップおよび受動チップ部品を少なくとも1つずつ接続して搭載し、前記半導体チップはその各電極を前記底面の配線パターンにワイヤボンディング接続し、前記受動チップ部品はその各電極を前記底面の配線パターンに導電性接着剤を用いて接着し、これら配線パターンをスルーホールを介して前記他方面の配線パターンにそれぞれ接続するとともに、前記凹部を樹脂封止する混成集積回路装置の製造方法において；前記配線基板の前記凹部に少なくとも1つの前記半導体チップをフェイスダウンで前記底面の配線パターンにバンプ接続する第1の工程と、前記工程終了後の前記配線基板に少なくとも1つの前記受動チップ部品を直立させた状態で一方側の電極のみを導電性接着剤により前記底面の配線パターンに接着およびキュアし硬化させる第2の工程と、前記バンプ接続された前記半導体チップの裏面および前記接着された前記受動チップ部品の他方側の電極がそれぞれ露出する高さまで前記凹部に非導電性封止樹脂を充填してキュアし硬化させる第3の工程と、前記硬化後の前記非導電性封止樹脂の上部に露出する前記裏面および前記電極のそれぞれを全て覆う高さまで導電性封止樹脂を充填してキュアし硬化させる第4の工程とからなる混成集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は混成集積回路装置に係わり、特に薄型でリードレスタイプの表面実装用混成集積回路装置のノイズ対策を施した混成集積回路装置に関する。

【0002】

【従来の技術】 近年、半導体素子の微細化が進み、半導体装置に收容される回路規模もさらに増大し、民生用機器、工業用機器、その他いろいろな産業分野からのニーズに応えるために多機能化とともに各種の実装形態の半導体装置が開発されてきた。

【0003】 これら実装形態の一つに混成集積回路装置がある。この装置は、配線基板上に形成された配線パターンで相互接続されるマイコン、メモリ、ゲートアレイ等のベアチップ、あるいは抵抗、コンデンサ等の受動チップ部品を混在して搭載し、システム規模の機能を実現しようとするものである。用途によっては、ベアチップのみ、あるいは受動チップ部品のみが搭載される場合もある。

【0004】 このように機能強化された混成集積回路装置に対する要求としては、高速化、高周波化、大電力化とともに、外来ノイズあるいは搭載チップ間で相互に影響を与えるノイズに対する対策がある。ノイズ対策を考慮したこの種の従来の混成集積回路装置の一例を断面図で示した図5を参照すると、配線基板30の凹部31の底面に、半導体チップ32およびノイズフィルター用の

ものを含む受動チップ部品 33a~33c を搭載する。その際、半導体チップ 32 の電極と配線基板 30 に配設された導体層による配線パターン 34 は、ボンディングワイヤ 35 によって電氣的接続が行なわれ、受動チップ部品 33a~33c は導電性接着剤等によって電氣的接続が図られる。なお、半導体チップが素子形成面を下側に向けて（フェイスダウン）搭載するフリップチップの場合は配線基板面の電極との接続はハンダバンプにより行なわれる。

【0005】また、配線基板 30 の凹部 31 は非導電性封止樹脂 36（図中の斜線部分）で封止し、必要に応じて、配線パターン 37 を裏面に設けてスルーホール 38 で配線パターン 34 と貫通接続したり、封止表面にシールド板 39 を接着することにより、シールド構造としていた。

【0006】さらに、シールド板 39 を設ける代りにパッケージ自体をマザーボードに対し裏返しに実装し、樹脂封止面と対応するマザーボードの表面に配線パターンを設ける場合もある。

【0007】一方、受動チップ部品を搭載する方法の一例が、特開平 3-256392 号公報に記載されている。同公報記載の混成集積回路装置の断面図を示した図 6 を参照すると、受動チップ部品を直立させて搭載する場合の一例であり、この場合は、搭載電極 40a に下側の電極 41a を接続した受動チップ部品 42 の上側の電極 41b と配線基板 43 側の搭載電極 40b とをボンディングワイヤ 44 を用いて接続している。

【0008】前述したように、ノイズのアンテナとなりやすいボンディングワイヤを使用しなければならない点および、電極 24、25 が依然として基板面上に 2 つある点で他の従来例と同様である。

【0009】

【発明が解決しようとする課題】この従来の混成集積回路装置では、受動チップ部品を搭載する場合に、その受動チップ部品が有する 2 つの電極が共に基板表面の配線パターンと直接またはワイヤにより接続されるため、接続用電極を 2 つそれぞれ基板上に確保しなければならず、実装面積が大きくなる。そのため、半導体チップ近傍の配線パターンの密集した部分には、受動チップ部品の配置（レイアウト）が難しいという問題があった。ノイズ除去のためには、発生源となる能動素子の出来るだけ近傍にバイパスコンデンサおよびフィルタ回路を配置するのが効果的であるにもかかわらず、上述したようにそれぞれ 2 つの接続用電極を基板上に設けなければならないという問題が、それを難しくしていた。

【0010】一方、前述したバンプ接続により半導体チップを裏返しに搭載するフェイスダウンの手法はフリップチップ等でしばしば行われるが、裏面を電源電位または接地電位である安定電位に接続する方法としては確立されたものが無く、限られた半導体チップにしか適用出

来ないという問題もあった。ノイズ防止のためには、ワイヤがノイズのアンテナとなってしまうので、ワイヤを用いることなく、かつ半導体チップ自体がシールド板の効果を持ち得る点でフェイスダウンで搭載する方が有利であるのは明らかであるが、上述したようにチップ裏面を安定電位に接続する方法が未確立のためその適用の範囲がせばめられていた。

【0011】本発明の目的は、上述した問題点に鑑み込まれたものであり、半導体チップをフェイスダウンで配線基板にバンプ接続して搭載し、かつその周辺回路部品の受動チップ部品とともにシールドを施した構造を有する混成集積回路装置およびその製造方法を提供することにある。

【0012】

【課題を解決するための手段】本発明の混成集積回路装置の特徴は、複数の内部導体層を有する多層の配線基板の一方面に所定の大きさおよび深さで凹部が開口され、この凹部の底面および他方面の前記内部導体層に形成された配線パターンに半導体チップまたは受動チップ部品のいずれかが少なくとも 1 つ接続されて搭載され、前記半導体チップ搭載時はその各電極が前記底面の配線パターンにワイヤボンディング接続され、前記受動チップ部品搭載時はその各電極が前記底面の配線パターンに導電性接着剤を用いて接続され、これら配線パターンはスルーホールを介して前記他方面の配線パターンにそれぞれ接続され、かつこれら配線パターンが前記凹部の周縁部側面に配設された端面電極にそれぞれ接続されるときともに、前記凹部内が樹脂封止されてなる混成集積回路装置において、前記樹脂封止は、前記底面側に充填される非導電性封止樹脂とこの非導電性封止樹脂上に充填される導電性封止樹脂とを含む多層構造からなり、前記導電性封止樹脂は、低位側電源電位または高位側電源電位のいずれかの電位が供給されかつ前記半導体チップの裏面側および前記受動チップ部品の他方電極側の少くとも一方側に直接接触させた構造を有することにある。

【0013】また、前記半導体チップおよび前記受動チップ部品をそれぞれ少なくとも 1 つずつ搭載することができる。

【0014】さらに、前記凹部に少なくとも 1 つの半導体チップが搭載され、これら半導体チップはそれぞれフェイスダウンで各電極が前記底面の対応する配線パターンにバンプ接続され、前記非導電性封止樹脂は前記半導体チップの裏面が露出する高さまで充填され、これら露出した裏面を含む前記非導電性封止樹脂層上に前記導電性封止樹脂が積層されて封止されてもよい。

【0015】さらにまた、前記凹部に少なくとも 1 つの前記受動チップ部品が搭載され、これら受動チップ部品の少くとも一部は、前記一方電極側のみ前記底面の配線パターンに接続されるように直立して搭載され、前記非導電性封止樹脂は前記受動チップ部品の他方電極

側がそれぞれ露出する高さまで充填され、これら露出した前記他方電極側を含む前記非導電性封止樹脂層上に前記導電性封止樹脂が積層されて封止することができる。

【0016】さらに、前記開口により残された基板周縁部内にある前記内部導体層の全面に形成されたベタパターンが前記基板側面および底面周縁部を囲んで配設され導電体層と一体となり、かつ前記凹部内側壁面で前記導電性封止樹脂端面と電氣的に接続させて形成したシールド層を有することもできる。

【0017】本発明の混成集積回路装置の製造方法の特徴は、複数の内部導体層を有する多層の配線基板の一方面に所定の大きさおよび深さで凹部を開口し、この凹部の底面および他方面の前記内部導体層に形成された配線パターンに半導体チップおよび受動チップ部品を少なくとも1つずつ接続して搭載し、前記半導体チップはその各電極を前記底面の配線パターンにワイヤボンディング接続し、前記受動チップ部品はその各電極を前記底面の配線パターンに導電性接着剤を用いて接着し、これら配線パターンをスルーホールを介して前記他方面の配線パターンにそれぞれ接続するとともに、前記凹部を樹脂封止する混成集積回路装置の製造方法において、前記配線基板の前記凹部に少なくとも1つの前記半導体チップをフェイスダウンで前記底面の配線パターンにバンプ接続する第1の工程と、前記工程終了後の前記配線基板に少なくとも1つの前記受動チップ部品を直立させた状態で一方側の電極のみを導電性接着剤により前記底面の配線パターンに接着およびキュアし硬化させる第2の工程と、前記バンプ接続された前記半導体チップの裏面および前記接着された前記受動チップ部品の他方側の電極がそれぞれ露出する高さまで前記凹部に非導電性封止樹脂を充填してキュアし硬化させる第3の工程と、前記硬化後の前記非導電性封止樹脂の上部に露出する前記裏面および前記電極のそれぞれを全て覆う高さまで導電性封止樹脂を充填してキュアし硬化させる第4の工程とからなることにある。

【0018】

【作用】本発明の混成集積回路は、配線パターン形成用の内部導体配線層を有する多層の配線基板の、基板周縁部を除く上面部分に凹部を形成して導体配線層の一部を露出させる。まず、この凹部にバイパスコンデンサ、フィルター等を形成するための受動チップ部品もしくはチップジャンパー等を搭載する場合には、これらのチップ部品の片側の電極のみを配線基板に電氣的に接続するように直立させてマウントしておき、凹部底面からチップ部品の下側の電極を含み上側の電極が露出する高さまで非導電性封止樹脂を充填・キュアして硬化させる。さらに非導電性封止樹脂の上にチップ部品の上側の電極を覆う高さまで導電性封止樹脂を充填・キュアして積層することにより、上側電極を導電性封止樹脂層に直接接触させることで電氣的接続がとれるようにした。

【0019】また、凹部に半導体チップを搭載する場合には、半導体チップの素子形成面を下向きにしたいいわゆるフェイスダウンで搭載しておき、この凹部底面から半導体チップ裏面部分が露出する高さまで非導電性封止樹脂を充填・キュアして硬化させ、さらに非導電性封止樹脂の上に半導体チップの露出した裏面部分を覆う高さまで導電性封止樹脂を充填・キュアすることにより裏面部分を導電性封止樹脂層に直接接触させる形で電氣的接続がとれるようにしてある。

【0020】また、上述したいずれの場合も、導電性封止樹脂層自体を外部から供給される安定電位へ接続する場合は、チップジャンパーを介して配線基板内の安定電位に対応する配線パターンと接続するか、予め配線基板の凹部に充填される導電性封止樹脂に電氣的接続がとれるように、周縁部上面に近い内部導体層を全面ベタパターンとして形成し、かつ基板側面および底面周縁部を囲んで配設した導電体層と一体となってシールド層を形成し、外部電極を介してこのシールド層に供給される安定電位が導電性封止樹脂を介して半導体チップの裏面にも供給されるようにしてある。

【0021】したがって、導電性封止樹脂がシールドの役目を果たすことが出来ることになる。

【0022】

【実施例】次に、本発明について図面を参照しながら説明する。

【0023】図1(a)は本発明の第1の実施例の断面図であり、図1(b)その平面図である。図1(a)および図1(b)を参照すると、例えばガラスエポキシ樹脂からなる多層配線基板10aの上面の、周縁部以外の部分に凹部11を開口する。この開口部の大きさおよび深さは、搭載される部品の大きさおよび数量によって予め決められている。この開口により凹部11の底面には搭載する構成部品間を接続するために予め配設された配線パターン12が露出される。この配線パターン12はスルーホール13により必要に応じて裏面側に配設された配線パターン14に適宜接続されている。

【0024】さらに、裏面側の配線パターン14は、直接あるいは搭載された構成部品を介して間接的に、基板周縁部に配設された端面電極15に配線パターン14を用いて所定の接続がなされている。この端面電極15はいわゆるパッケージの外部端子であって、互いに間隔をおいて並べられた導体群からなり、複数の異なる電位を有している。

【0025】上述した配線基板10の凹部11に、例えば半導体チップ16と、チップジャンパーを含む受動チップ部品17a~17fが搭載されている。この半導体チップ16はフェイスダウンで各電極が配線パターン12にそれぞれバンプ接続されている。

【0026】一方、受動チップ部品17a~17fは、従来例の場合はチップ自身の有する2つの電極はそれぞ

れ凹部底面側の配線パターン12に接続されていたが、本実施例においては、一方側の電極のみ配線パターン12にそれぞれ接続された状態で直立して搭載される。

【0027】凹部11は底面から半導体チップ16の裏面および受動チップ部品17a~17fの他方側の電極がそれぞれ露出する高さまで非導電性封止樹脂18（図中斜線状の網目で示す）が充填されている。この非導電性封止樹脂18の上には基板周縁部上面と同じ高さまで導電性封止樹脂19（図中点状の網目で示す）が充填されて樹脂封止が行なわれている。

【0028】導電性封止樹脂19は、例えばチップジャンパーを受動チップ部品17bとすると、チップジャンパー17bにより配線パターン12、スルーホール13および配線パターン14のうちの所定のパターン（不図示）を介して端面電極15のうちの電源電位または接地電位の安定電位が外部から供給される電極に電気的接続がなされている。

【0029】本実施例に示した構造により、導電性封止樹脂19が、半導体チップ16の裏面および受動チップ部品17a~17bの他方側電極を安定電位に接続するので、シールド効果を得ることが出来る。

【0030】本発明の第2の実施例を断面図で示した図2（a）およびその平面図を示した図2（b）を参照すると、側面シールド構造を有するパッケージを構成した場合の例である。第1の実施例において、端面電極15はいわゆるパッケージの外部端子であって、互いに間隔をおいて並べられた導体群を成し複数の異なる電位を有していたが、第2の実施例では、これらは接地電位または電源電位等の安定電位を有する基板周辺部全面に渡って配設された単一のベタパターンとなっている。

【0031】すなわち、第1の実施例との相違点は、導電性封止樹脂19が配線基板10bの内部導体層20aと凹部内側壁面で接触するとともに、内部導体層20aは配線基板10bの側面20bおよび底面周縁部20cまで延長された側面シールド構造（断面図では20a~20b~20cで表わした略「コ」字型になる）であって配線基板10bの周縁部全面を側面から囲むように配設され、かつその底面周縁部20cには外部電極21が設けられ、さらに、裏面側の配線パターン14は、直接あるいは搭載された構成部品を介して間接的に、配線パターン12はスルーホール13を介して、それぞれ配線基板10bの底面周縁部20cの内側にあり、かつ外部電極領域22に設けられた外部電極23に接続されていることである。それ以外の構成要素は第1の実施例と同様であるからここでの構成の説明は省略する。

【0032】上述した第2の実施例の構成によれば、延長された内部導体層20a~20cに外部電極21から安定電位が供給されて、これらの延長された内部導体層20a~20cによりシールド効果を得ることが出来る。

【0033】なお、上述した実施例の変形例として、導電封止樹脂層を複数層設け場合の断面図を示した図3

（a）を参照すると、電樹脂封止層18bの上に導電封止樹脂層19aと非導電樹脂封止層18aと導電封止樹脂層19aとが順次に積層されて形成されている。受動チップ部品17aと17bの他方側の電極が導電封止樹脂層19aに接続され、半導体おチップ16と受動チップ部品17cおよび17dとの裏面と他方側電極とが導電封止樹脂層19bに接続されるので、搭載部品ごとに異なる安定電位のいずれかに分けて供給することができる。

【0034】また、凹部を複数個設けた場合の断面図を示した図3（b）を参照すると、凹部11aには受動チップ部品17aと半導体チップ16が搭載され、凹部11bには受動チップ部品17b~17dが搭載されており、凹部毎にそれぞれ独立した機能をもたせることができる。

【0035】上述した第1および第2の実施例で説明した混集積回路装置の製造方法は、その製造工程断面図であって、半導体チップのバンパ接続工程を示した図4

（a）、受動チップ部品を接着する第2の工程示した図4（b）、凹部に非導電性封止樹脂を充填する第3の工程を示した図4（c）および導電性封止樹脂を充填する第4の工程を示した図4（d）を参照すると、まず、ガラスエポキシ樹脂基板に公知のエッチング処理により形成した多層配線基板10aまたは10bに凹部が形成された配線基板であって、この凹部に少なくとも1つの半導体チップ16を公知の半田バンパ等の方法によりフェイスダウンで搭載する（図4（a））。

【0036】次に、ノイズフィルタ用のものを含む受動チップ部品17a~17fを直立させた状態で、それぞれの片側（下側）の電極のみを導電性接着剤等によりマウントした後、キュアし、硬化させる（図4（b））。

【0037】しかる後、エポキシ系の絶縁性の高い非導電性封止樹脂18を用いて所定の深さまで充填する。このとき、少なくとも、半導体チップ16および受動チップ部品17a~17fのそれぞれの下側電極に接する配線パターン12と電気的に接続する部分を全て覆いかくし、かつ、半導体チップ16の裏面部分と、受動チップ部品17a~17fの上側電極は全て露出する高さまで充填して150°30分前後でキュアし硬化させる（図4（c））。

【0038】さらに、しかる後、非導電性封止樹脂18の上面および、この非導電性封止樹脂から露出する受動チップ部品17a~17fの全ての電極と半導体チップ16の裏面とを覆う高さまで、Cuペースト等の電導率の高い導電性封止樹脂19を充填して、150°30分前後でキュアし硬化させる（図4（d））。

【0039】なお、第4の工程の後、図には示さないが必要に応じてレジスト等の保護層をその上部に印刷形成

しても良い。

【0040】第2の実施例の製造方法の場合、第1の工程における配線基板10bは、基板周辺部全面に渡って配設される単一のベタパターンとして、側面シールド構造20b、20cと一体となるように内部導体層20aを予め設けておく。この導体層の高さ方向の位置は、導電性封止樹脂19で封止する際に内部導体層20aの凹部内側壁面に露出した部分が導電性封止樹脂19の端面に接触するように、導電性封止樹脂19の層の厚みの範囲を勘案して決められる。

【0041】さらに、配線基板10bの裏面側は、外部端子としての突起電極23が側面シールド構造20cより内側の、基板周縁部22に配設され、かつ凹部底面の配線パターン12にそれぞれ接続されたものが使用される以外は、上述の製造工程と同様である。

【0042】なお、非導電性封止樹脂18の高さ、即ち層厚については、現状の半導体チップ16の厚さが0.3mm~0.4mm程度、 bumps 高さが0.1mm程度、受動チップ部品17a~17fの電極厚が0.2mm前後であることを想定すると、約0.25mm~0.35mm程度の間に調整すればよいことになる。

【0043】0.1mm程度の巾の高さ調整は、現状の技術で何ら問題はない。勿論、半導体チップ16、または受動チップ部品17a~17fのいずれか一方にのみ適用する場合は、その一方のみを考慮すればよいから上述した巾の余裕度はさらに広がることになる。

【0044】以上説明したように、本発明の混成集積回路装置およびその製造方法によれば、例えば、前述したように、電源電位および接地電位間のバイパスコンデンサおよび各ノイズフィルタは、ノイズ発生源である半導体チップに可能な限り近い位置に配置しなければならないが、本発明の混成集積回路装置では、その構成要素の受動チップ部品を直立させて搭載出来ると同時に、片側の電極は凹部内のいたる所で安定電位に接続出来るため、配線基板のパターンレイアウトが極めて容易となる。さらに、直立させることによって搭載面積が本来の1/2以下となるので、パターン配設密度の高い半導体チップ近傍にも容易に配置出来、従って、より効果的なノイズ除去が可能になる。

【0045】また、半導体チップの搭載においては、裏面部分を安定電位へ容易に接続する手段を提供出来るので、フリップチップ搭載の適用範囲が格段に広げられる。前述したように、ボンディングワイヤによる接続は、ワイヤがアンテナとなり易く、しかも、搭載面積が約2倍を要して、その分バイパスコンデンサおよびフィルター用受動チップ部品も半導体チップから遠ざかることになるので、ノイズ的にもフリップチップでの搭載が明らかに有利である。

【0046】また、半導体チップと受動チップ部品混在の場合は、特にそれぞれに必要な安定電位への接続を、

プロセスを分けることなく一括の処理で行える点が非常に有効な効果である。

【0047】多くの場合、搭載部品の高さの不一致から、基板導体層や印刷導体層もしくはシールド金属板の接着等では安定な接続を望めないが、本発明の混成集積回路装置のように、導電性封止樹脂の充填によれば、搭載部品の高さのバラツキをことごとく吸収し、安定な接続を得ることが可能になる。

【0048】さらに、第2の実施例に示したように、導電性封止樹脂と基板内部導体層との電氣的接続をとることも容易で、これを用いれば、導電性封止樹脂自体の外部回路の安定電位への接続が出来、従ってそれらが一体となったパッケージ上方向に対する良好なノイズシールド構造をも同時に実現出来る。

【0049】さらにまた、第2の実施例のようにパッケージの側面をもメッキ処理等によりシールドし、裏面ベタパターンにまで接続し、側面導体下部とこの混成集積回路装置を搭載するマザーボード間の半田シール等も併用すれば20dB~30dBのノイズ低減も出来る。

【0050】また、副次的効果として本発明の構造によれば、半導体チップ裏面が、直接に熱伝導率の大きい導電性封止樹脂に接しており、その層厚も数百μと比較的厚くなるので、良好な放熱構造としても機能する。特に、前述したシールド構造をとった場合は、シールドの導体部分を介して配線基板側への熱放散が図られるのでより効果的である。

【0051】熱によるICデバイスの諸特性のシフトは、通常誤動作に対するノイズマージンを悪化させる。よって放熱構造は、ノイズの観点から見ても重要な要素である。

【0052】

【発明の効果】以上説明したように本発明の混成集積回路装置およびその製造方法は、配線基板に凹部を設け、この凹部に半導体チップもしくは受動チップ部品またはその両方を搭載し樹脂封止する構造であって、凹部底面に対して半導体チップはフェイスダウンで搭載し、受動チップ部品は直立させて搭載することによって半導体チップの裏面および受動チップ部品の一方側の電極を凹部上方の向きにそろえることにより、底面に接続した他方側の電極に対して垂直方向に離した状態を形成するとともに、凹部封止用樹脂が凹部底面に接する非導電性封止樹脂層とその上層の導電性封止樹脂層を含む多層構造を有し、凹部底面から半導体チップ裏面部分および受動部チップ部品の一方側の電極が露出する高さまで非導電性封止樹脂を充填・キュアして硬化させ、さらに露出した裏面部分および一方側の電極を覆う高さまで非導電性封止樹脂の上に導電性封止樹脂を充填・キュアすることにより、裏面部分および一方側の電極をそれぞれ導電性封止樹脂層に直接接触させた状態で電氣的接続がとれるようにしたので、導電性封止樹脂層を外部端子を介して

安定電位に接続することにより、導電性封止樹脂層がノイズに対して極めて有効なシールド効果を果すことが出来る。

【0053】また、導電性樹脂層と端面接触するようにした基板周縁部の内部導体層を基板側面および底面周縁部を囲んで形成した導電体層と一体となるようにしたシールド構造とすることも出来るので、同様なシールド効果が得られる。

【0054】さらに、フリップチップ搭載適用の容易化、受動チップ部品によるフィルタ素子の自由度の高いレイアウト、良好なシールド構造および放熱構造のいずれも同時に実現出来るので、ノイズ対策が極めて容易かつ効果的に行え、デバイス本来の性能を十分に引き出すことを可能にしている。

【図面の簡単な説明】

【図1】(a) 本発明の第1の実施例の混成集積回路装置を示す断面図である。

(b) 第1の実施例の平面図である。

【図2】(a) 本発明の第2の実施例の混成集積回路装置を示す断面図である。

(b) 第2の実施例の平面図である。

【図3】(a) 導電封止樹脂層を複数層設け場合の断面図である。

(b) 凹部を複数個設けた場合の断面図である。

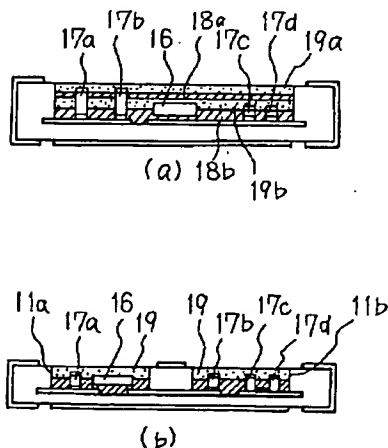
【図4】(a) 半導体チップの bumps 接続工程を示した断面図である。

(b) 受動チップ部品を接着する第2の工程示した断面図である。

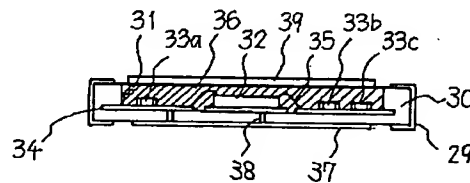
(c) 凹部に非導電性封止樹脂を充填する第3の工程を示した断面図である。

* 30

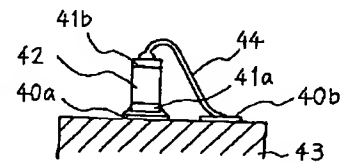
【図3】



【図5】



【図6】



* (d) 導電性封止樹脂を充填する第4の工程を示した断面図である。

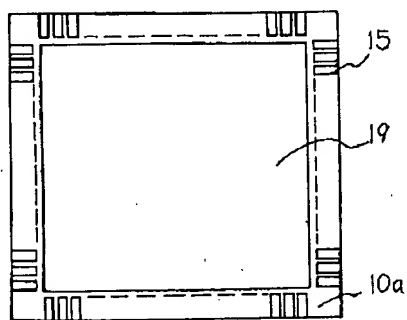
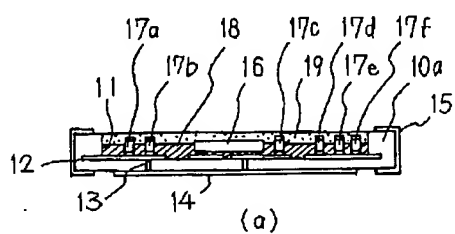
【図5】従来の混成集積回路装置の一例を示す断面図である。

【図6】従来の混成集積回路装置の他の例を示す断面図である。

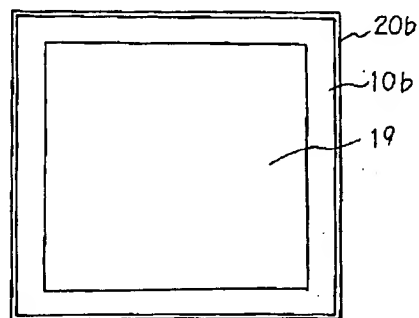
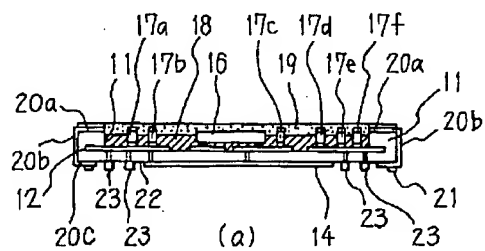
【符号の説明】

- 10 a, 30, 43 配線基板
- 10 b 側面シールド構造を有する配線基板
- 11, 11 a, 11 b 31 凹部
- 12, 34 底面側の配線パターン
- 13, 38 スルーホール
- 14, 37 裏面側の配線パターン
- 15 端面電極
- 16, 32 半導体チップ
- 17 a ~ 17 f, 33 a ~ 33 c, 42 受動チップ部品
- 18, 18 a, 18 b, 36 非導電封止樹脂
- 19, 19 a, 19 b 導電性封止樹脂
- 20 a 内部導体層 (導体ベタパターン)
- 20 b 配線基板10の側面シールド
- 20 c 底面周縁部シールド
- 21, 22 突起電極 (外部電極)
- 23 外部電極領域
- 35, 44 ワイヤ
- 39 シールド板
- 40 a, 40 b 搭載電極
- 41 a 受動チップ部品の上側電極
- 41 b 受動チップ部品の下側電極

【図1】



【図2】



【図4】

